



Floating Gate を用いたヒステリシスコンパレータ

Hysteresis Comparator with Floating Gate

宮崎大学大学院 工学研究科
電気電子工学専攻

今川 翔太





目次

- 研究背景・目的
- 提案回路
- シミュレーション結果
- マスクレイアウト図
- 評価結果
- まとめ・今後の課題





研究背景・目的

ヒステリシスコンパレータの特徴

入力電圧に対し、2つのしきい値を有する

ヒステリシス幅

◎使用用途

○ノイズの影響を低減するコンパレータ

例: チャタリングを抑える

○ON・OFFの切り替えるタイミングをずらす

例: 温度制御等の二位置制御に用いられる

○弛張型の発振器





研究背景・目的

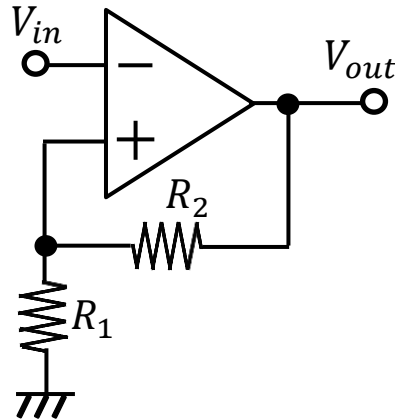


図1 従来のヒステリシスコンパレータ1

◎一般的なオペアンプを用いる

利点

- ・ヒステリシス幅の調整が容易

問題点

- ・消費電力

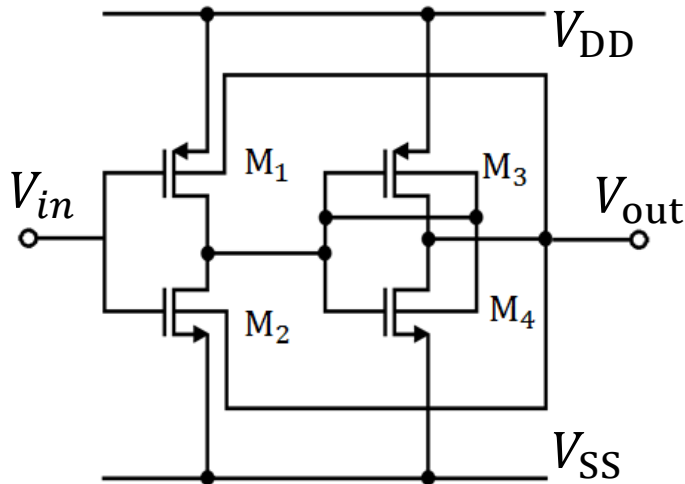


図2 従来のヒステリシスコンパレータ2

◎バックゲート駆動型MOSFETを用いる

利点

- ・低電圧動作

問題点

- ・triple-wellが存在する
プロセスが必要
- ・ヒステリシス幅の調整が困難

研究背景・目的

提案するヒステリシスコンパレータを試作し、評価を行う

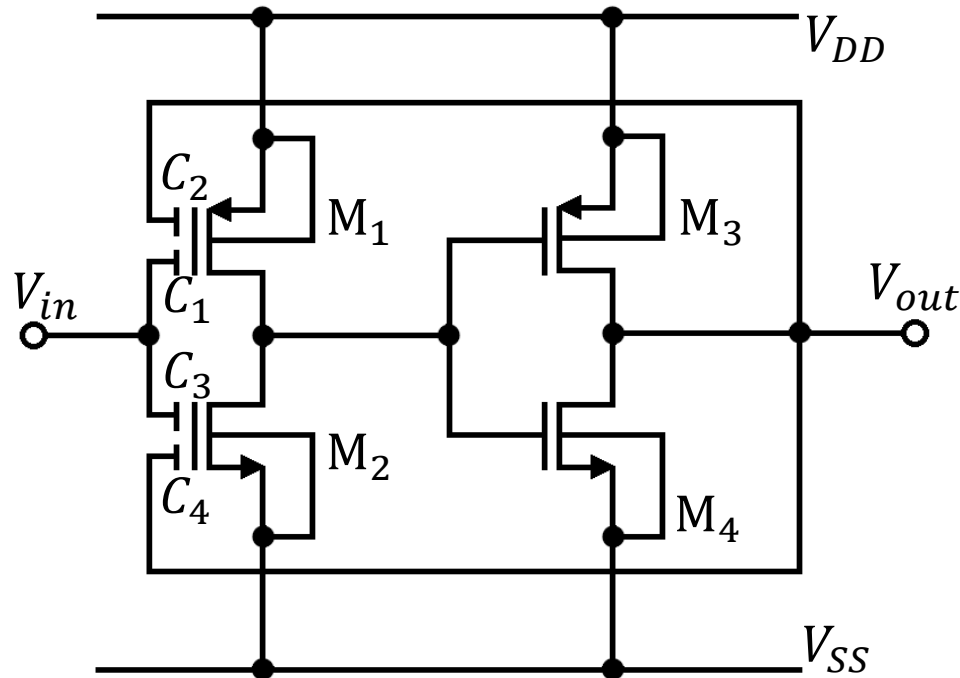


図3 提案するヒステリシスコンパレータの回路図



多入力FG-MOSFET

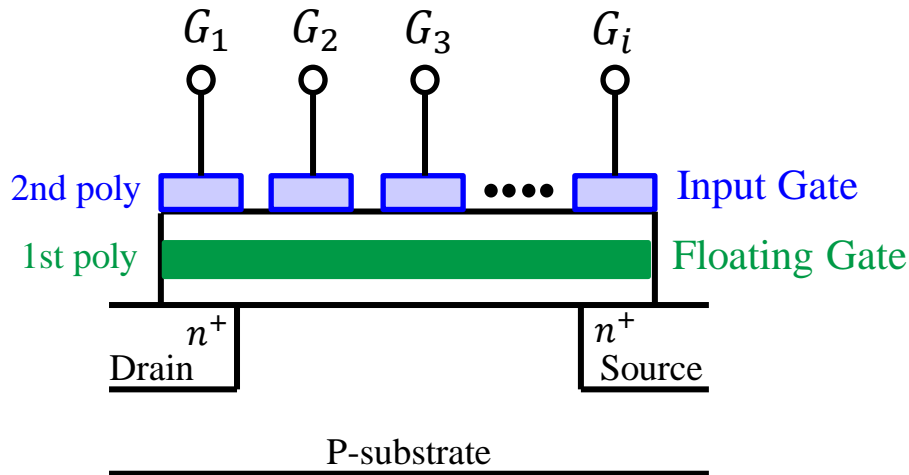
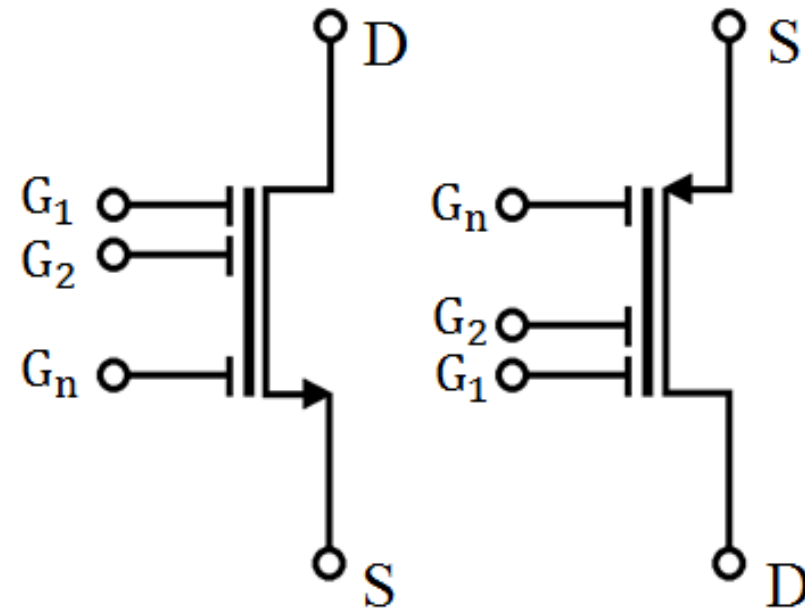


図4 多入力FG_MOSFETの構造図



(a)

(b)

図5 FG-MOSFETのシンボル図

(a) n-channel FG-MOSFET

(b) p-channel FG-MOSFET

浮遊ゲートをもった多入力ゲートMOSFET

入力電圧によりFloating Gateの電圧を調整

➡ **しきい値を可変**



しきい値の式の導出

◎Floating Gateの電荷

$$Q_F = \sum_{i=1}^n C_i(V_F - V_i) + C_0(V_F - V_B) \quad (1)$$

◎式(1)を変形 ⇒ Floating Gateの電圧

$$V_F = \frac{\sum_{i=1}^n C_i V_i + C_0 V_B + Q_F}{C_0 + \sum_{i=1}^n C_i} \quad (2)$$

◎結合容量の重み $\omega_i = \frac{C_i}{C_0 + \sum_{i=1}^n C_i}$ (3)

◎式(2)に式(3)を代入

$$V_F = \sum_{i=1}^n \omega_i V_i + \left(1 - \sum_{i=1}^n \omega_i\right) V_B + \frac{Q_F}{C_0 + \sum_{i=1}^n C_i} \quad (4)$$

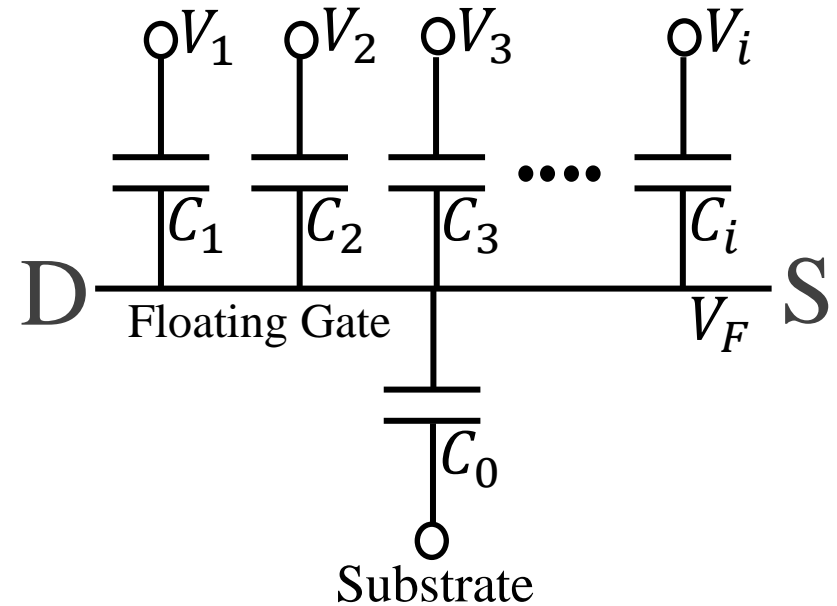


図6 多入力FG-MOSFETの容量等価モデル



しきい値の式の導出

◎ドレイン電流 $I_{DS} = K(V_{GS} - V_T)^2$ (5)

◎式(5)の V_G に式(4) を代入

$$I_{DS1} = K_p \left\{ \sum_{i=1}^2 \omega_i \left(V_{S1} - \sum_{i=1}^2 V_i \right) - |V_{T,p}| \right\}^2 \quad (6)$$

$$I_{DS2} = K_n \left\{ \sum_{i=3}^4 \omega_i \left(\sum_{i=3}^4 V_i - V_{S2} \right) - V_{T,n} \right\}^2 \quad (7)$$

K_p, K_n : トランスコンダクタンス係数
 $Q_F=0$ と仮定

◎ M_1, M_2 の ON, OFF が切り替わる瞬間
= 両トランジスタが飽和領域に入る

➡ $I_{DS1} = I_{DS2}$ (8)

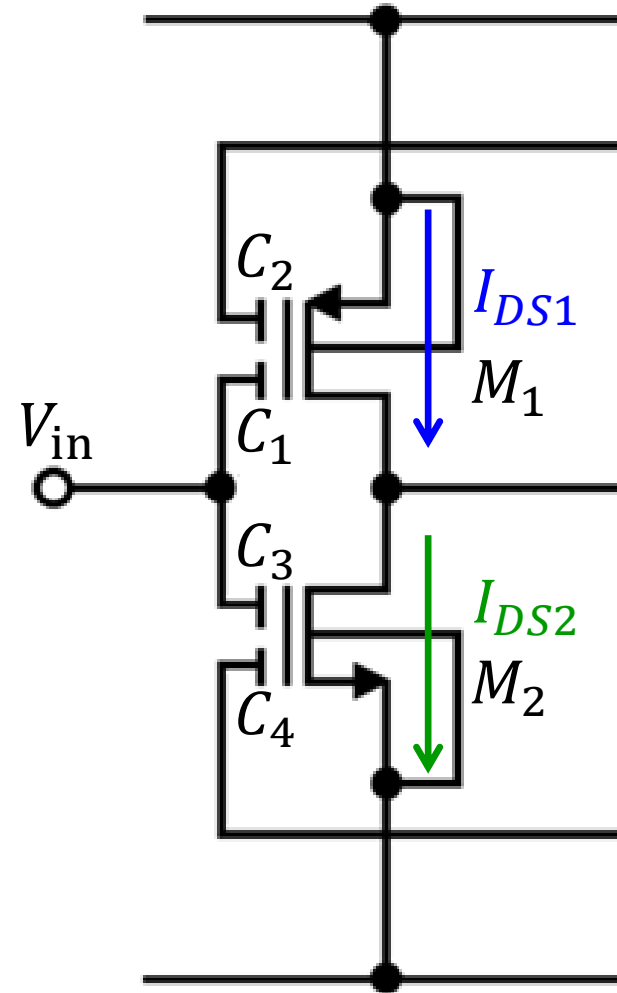


図7 Floating Gate部分の回路図



しきい値の式の導出

◎式(8)に式(6),(7)を代入

$$K_p \left\{ \sum_{i=1}^2 \omega_i \left(V_{S1} - \sum_{i=1}^2 V_i \right) - |V_{T,p}| \right\}^2 = K_n \left\{ \sum_{i=3}^4 \omega_i \left(\sum_{i=3}^4 V_i - V_{S2} \right) - V_{T,n} \right\}^2 \quad (9)$$

◎式(9)にそれぞれの条件を代入してしきい値を求める

●入力電圧 V_{in} がLowレベルからHighレベルへ変化する場合

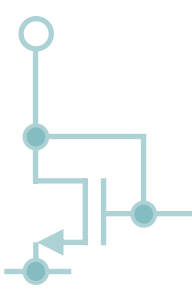
$$V_{LH} = \frac{(\alpha\omega_3 - \omega_2)V_{SS} + (\omega_1 + \omega_2)V_{DD} + \alpha V_{TN} - |V_{TP}|}{\alpha\omega_3 + \omega_1} \quad (10)$$

条件: $V_{in} = V_{LH}$, $V_{out} = V_{SS}$, $V_{S1} = V_{DD}$, $V_{S2} = V_{SS}$

●入力電圧 V_{in} がHighレベルからLowレベルへ変化する場合

$$V_{HL} = \frac{(\omega_3 + \omega_4)V_{SS} + (\alpha\omega_1 - \omega_4)V_{DD} + \alpha V_{TN} - |V_{TP}|}{\alpha\omega_1 + \omega_3} \quad (11)$$

条件: $V_{in} = V_{HL}$, $V_{out} = V_{DD}$, $V_{S1} = V_{DD}$, $V_{S2} = V_{SS}$



$$\alpha = \sqrt{\frac{K_n}{K_p}}$$



シミュレーション結果

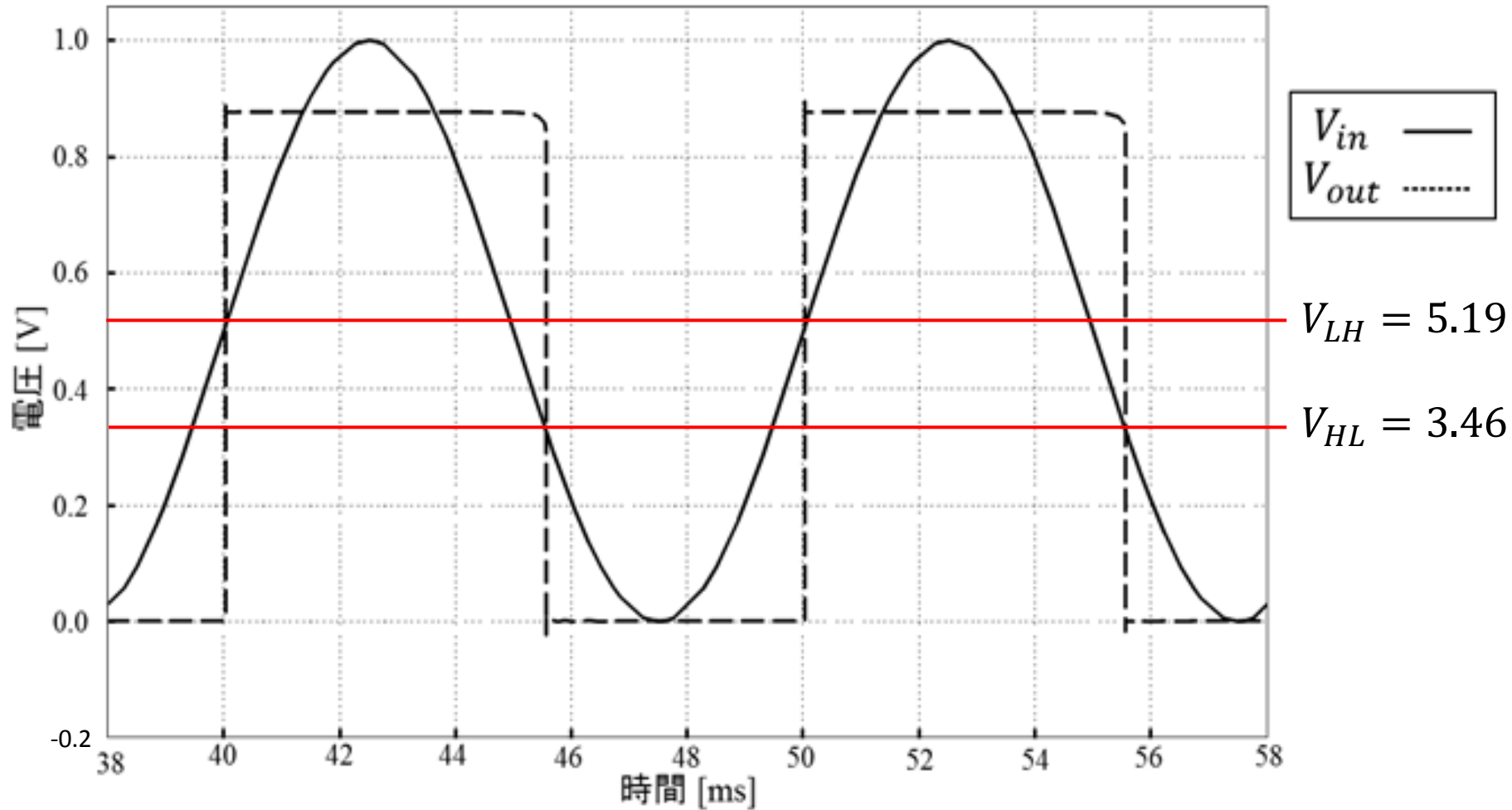


図8 過渡解析結果



マスクレイアウト

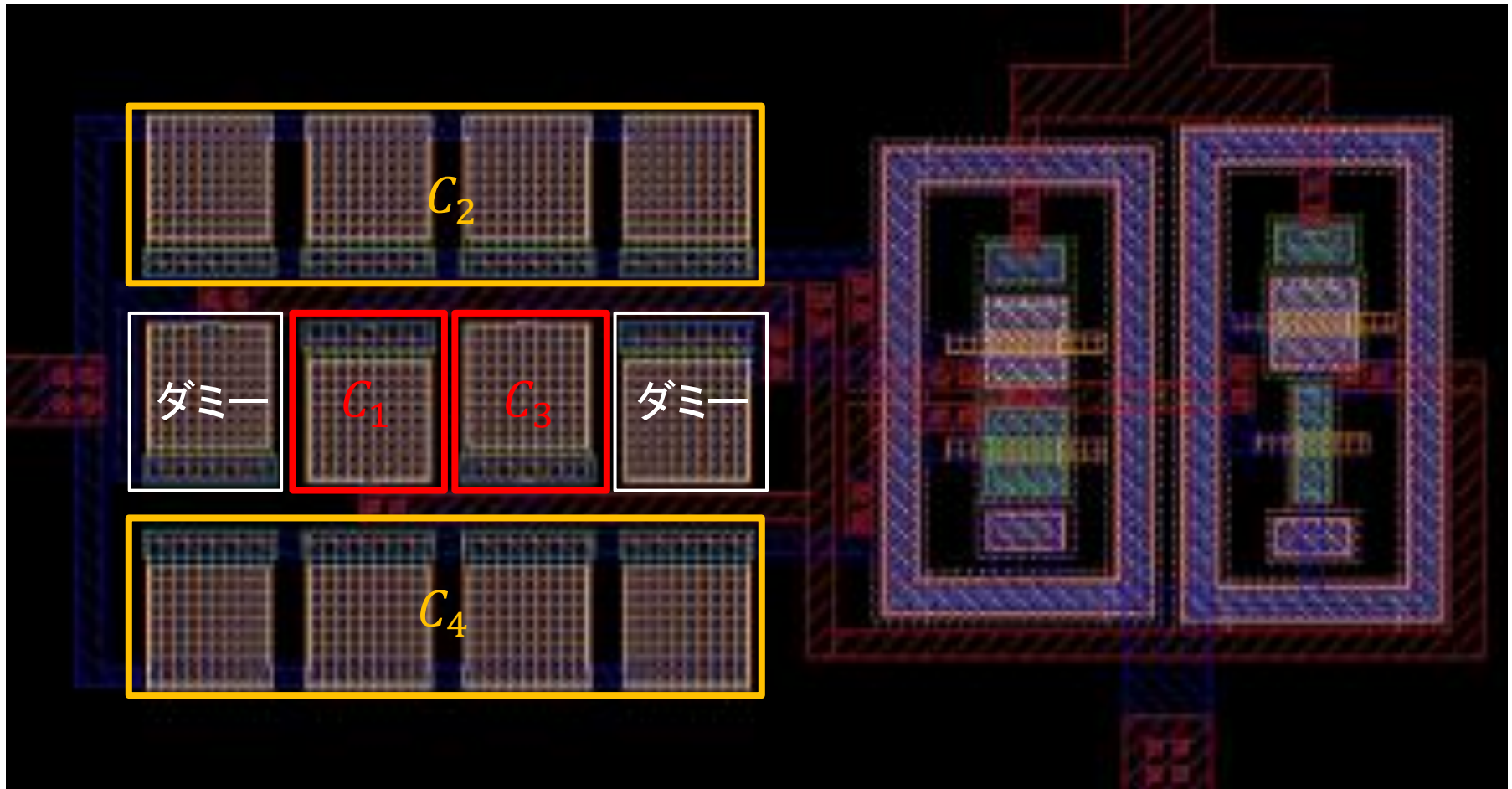


図9 マスクレイアウト図



評価結果

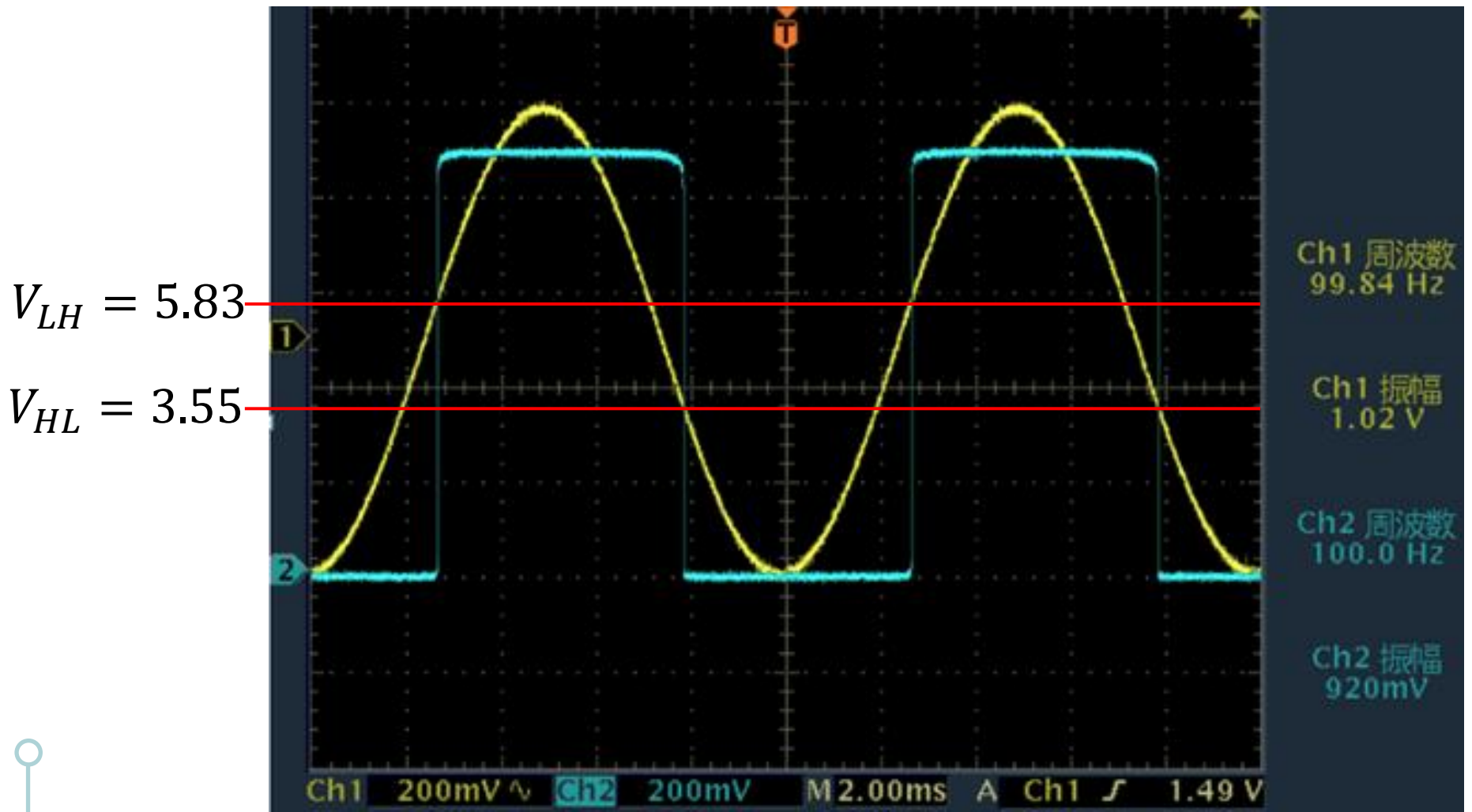


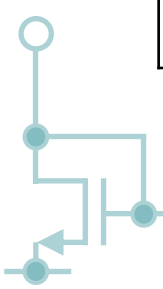
図10 過渡解析結果



評価結果

表1 理論値との比較

	しきい値 V_{LH}	しきい値 V_{HL}
理論値	5.49	3.14
シミュレーション結果	5.19	3.46
評価結果	5.83	3.55





まとめ・今後の課題

評価結果

$V_{LH} = 5.83[V]$, $V_{LH} = 3.55[V]$, ヒステリシス幅 : $2.28[V]$

入力電圧に対し, 2つのしきい値を確認

シンプルなヒステリシスコンパレータの試作, 評価を行い
ヒステリシスコンパレータとしての動作を確認

今後の課題

- ・Floating-Gateの初期電荷を考慮した設計
- ・多値化への応用

